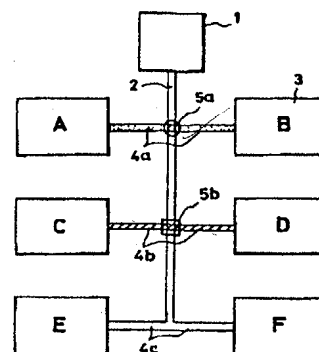


**(54) WIRING FOR SIGNAL DISTRIBUTION**

(11) 4-221830 (A) (43) 12.8.1992 (19) JP  
 (21) Appl. No. 2-405456 (22) 25.12.1990  
 (71) MITSUBISHI ELECTRIC CORP (72) MASATOSHI KIMURA(1)  
 (51) Int. Cl.<sup>5</sup>. H01L21/3205, H01L27/04//H01L21/82

**PURPOSE:** To prevent the occurrence of a lag in signal propagation time between each circuit when clock signals are supplied to a plurality of circuits having different functions.

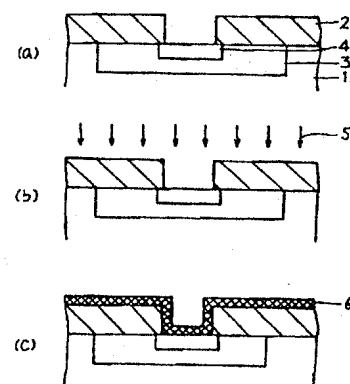
**CONSTITUTION:** The resistivity of the materials used for branch lines 4a, 4b, and 4c connecting the main line 2 with each circuit section of a wiring circuit is made lower the more the distance from a clock generation circuit 1 increases. In case the same material is used for the branch lines 4a, 4b, and 4c, the length and cross-sectional area of the lines are changed so that the resistivity can become lower as the distance increases.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 4-221831 (A) (43) 12.8.1992 (19) JP  
 (21) Appl. No. 2-405577 (22) 25.12.1990  
 (71) FUJITSU LTD (72) MASAOKI YABUKI  
 (51) Int. Cl.<sup>5</sup>. H01L21/322, H01L21/331, H01L29/73

**PURPOSE:** To uniformly disperse gold in a semiconductor substrate having a large-diameter without causing a warp in the substrate.

**CONSTITUTION:** This semiconductor device manufacturing method contains a process which successively forms an emitter area 4 from the surface of a base area 3 after the base area 3 is formed in a semiconductor substrate 1 from the surface of the substrate 1, process which implants gold ions 4 into the substrate 1 from the surface of the substrate 1, and process which performs heat treatment on the substrate 1 after the gold ions 5 are implanted.



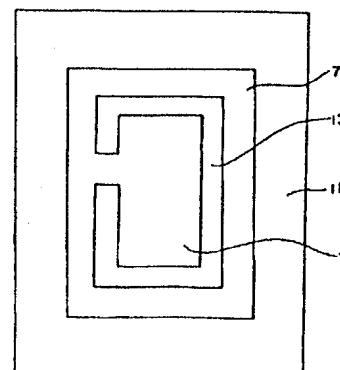
2: insulating film, 6: gold film

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 4-221832 (A) (43) 12.8.1992 (19) JP  
 (21) Appl. No. 2-404706 (22) 21.12.1990  
 (71) KAWASAKI STEEL CORP (72) SHINJI YOKOYAMA  
 (51) Int. Cl.<sup>5</sup>. H01L21/331, H01L29/73

**PURPOSE:** To provide a method for manufacturing a semiconductor device which can change the current ratio of the emitter by freely changing the length of the emitter and can be used for analog circuits.

**CONSTITUTION:** After elements are isolated from each other by means of a the first oxide film 3 having vertical sidewalls and a silicon film 5 having a film thickness which is thinner than that of the film 3 is formed at the opening section of a P-type Si substrate 1 by epitaxial growth, a side wall is formed on the sidewall of a polycrystalline silicon film 7 in a base-emitter element area. Then the side wall is cut off by removing the wall from an arbitrary part on the sidewall of the level-difference section of the base-emitter element area. After the side wall is cut off, the active area of a transistor is formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-221830

(43) 公開日 平成4年(1992)8月12日

(51) Int. Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
27/04	D	7210-4M		
// H 0 1 L 21/82		7353-4M	H 0 1 L 21/88	A
		7638-4M	21/82	W
審査請求 未請求 請求項の数3(全 4 頁)				

(21) 出願番号 特願平2-405456

(22) 出願日 平成2年(1990)12月25日

(71) 出願人 000008013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 木村 雅俊

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72) 発明者 岡田 圭介

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

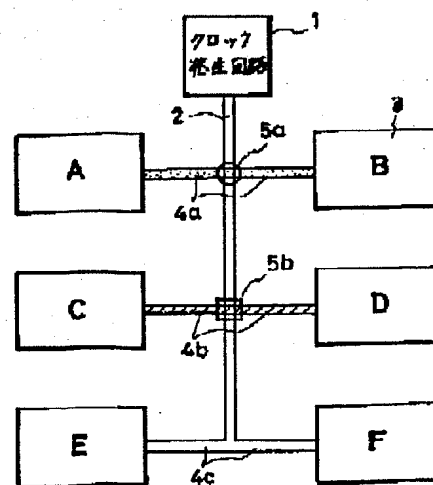
(74) 代理人 弁理士 大岩 増雄 (外2名)

(54) 【発明の名称】 信号分配用配線

(57) 【要約】

【目的】 各機能を有する複数の回路にクロック信号を供給するのに、各回路間で信号の伝播時間に差が生じないようにする。

【構成】 配線回路の幹線2と各回路部分とを結ぶ枝線4a、4b、4cを、クロック発生回路1からの距離が大きくなる程抵抗率の低い材料で形成する。同じ材料の場合は、長さや面積を変えて遠いほど抵抗を下げる。



1: クロック発生回路

2: 幹線

3: 機能ブロック

4a~4c: 枝線

5a, 5b: 接続部

## 【特許請求の範囲】

【請求項1】 信号を複数の回路部分に分配供給するための信号分配用配線において、信号の供給源からの幹線と各回路部分とを結ぶ各枝線を、供給源から当該回路部分までの距離が大きいほど抵抗率の低い配線材料で形成したことを特徴とする信号分配用配線。

【請求項2】 信号を複数の回路部分に分配供給するための信号分配用配線において、信号の供給源からの幹線と各回路部分とを結ぶ各枝線を、供給源から当該回路部分までの距離が小さいほど長く形成したことを特徴とする信号分配用配線。

【請求項3】 信号を複数の回路部分に分配供給するための信号分配用配線において、信号の供給源からの幹線と各回路部分とを結ぶ各枝線を、供給源から当該回路部分までの距離が大きいほど大きい面積の接続部をもって幹線に接続したことを特徴とする信号分配用配線。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、クロックやデータ等の信号を回路の各部分に分配供給するための配線の構成に関する。

## 【0002】

【従来の技術】 図1に従来用いられているこの種の配線例を示す。1は信号の供給源としてのクロック発生回路、2は信号（クロック）を分配する幹線、3は信号を供給しようとする各機能ブロック、4は幹線2と各機能ブロック3とを結ぶ枝線、5は幹線2と枝線4との接続部である。クロック発生回路1から出力されたクロックは幹線2によって各機能ブロック3の周辺まで運ばれ、各機能ブロックごとに最も接近した位置から枝線4を介して分配供給される。

## 【0003】

【発明が解決しようとする課題】 従来の信号分配用配線は以上のように構成されているため、信号の供給源から各機能ブロックまでの距離の違いに応じて配線抵抗や配線容量が異なり、そのために各機能ブロックの間で信号の伝播時間に差が生じ、それが誤動作の原因となるなどの問題があった。この発明の目的は、各回路部分間で信号の伝播時間に差が生じないような信号分配用配線を得ることにある。

## 【0004】

【課題を解決するための手段】 第1の発明は、幹線と各回路部分とを結ぶ枝線を、信号供給源から当該回路部分までの距離が大きいほど抵抗率の低い材料で形成するようにしたものである。第2の発明は、上記各枝線を、信号供給源から当該回路部分までの距離が小さいほど長くなるように形成したものである。第3の発明は、同じく各枝線を、信号供給源から当該回路部分までの距離が大きいほど大きい面積の接続部をもって幹線に接続するようにしたものである。

## 【0005】

【作用】 いずれの発明においても、距離が大きいほど枝線の配線自体もしくは接続部の抵抗を小さくすることで、距離の異なる回路部分間で配線抵抗の差が小さくなり、信号伝播時間の差が縮まる。

## 【0006】

【実施例】 図1はこの発明の一実施例を示す平面図であり、図4と同一符号は同一もしくは相当部分を示す。本実施例では、クロック発生回路1からの幹線2と、最も近いE、Fの機能ブロックとを接続する枝線4cを幹線2と同様の第1層金属配線によって形成しているのに対し、中間のC、D機能ブロックにつながる枝線4bは第2層金属配線、最も近いA、B機能ブロックにつながる枝線4aはポリシリコン配線によって形成している。5aは、幹線2を構成する第1層金属配線と枝線4aを構成するポリシリコン配線間の接続部（コンタクト）を示す。また5bは幹線2を構成する第1層金属配線と枝線4bを構成する第2層金属配線間の接続部（スルーホール）を示す。

【0007】 A、B機能ブロックは、クロック発生回路1からの配線長が最短であるが、枝線4aを形成するポリシリコンは枝線4b、4cを形成する金属に比較して大きい抵抗率をもつ。一方、E、F機能ブロックはクロック発生回路1からの配線長は最長であるが枝線4bは抵抗率の小さい金属で形成され、しかも幹線2と一体に形成されるために接続に伴う抵抗もない。これに対しC、D機能ブロックは比較的抵抗率の小さい金属配線からなる枝線4cによって接続されるが、接続部5bのスルーホールによる抵抗が付加される。この結果、各機能ブロック間で配線抵抗が平均化されている。

【0008】 次に、各枝線の配線材料を変える代りに、その配線長を変えることによって各機能ブロック間の配線抵抗の差を小さくした例を図2に示す。最も近いE、F機能ブロックにつながる枝線4fよりも中間のC、D機能ブロックにつながる枝線4eの配線長を長く、そして最も近いA、B機能ブロックにつながる枝線4dの配線長をさらに長く形成してある。なお、配線長を長くするための枝線の布線の仕方は、図示の枝線4d、4eのような形に限定されるものでないことはもちろんである。

【0009】 同様に幹線2との接続部の面積を変え、接続部の抵抗を変えることにより各機能ブロック間の配線抵抗の差を小さくした例を図3に示す。本実施例では幹線2を第1層金属配線、各枝線4を第2層金属配線で形成し両者をスルーホールを介して接続しているが、最も近いA、B機能ブロックにつながる枝線と幹線2との接続部5cよりも中間のC、D機能ブロックにつながる枝線と幹線2との接続部5dの面積を大きく、そして最も近いE、F機能ブロックにつながる枝線と幹線2との接続部5eの面積をさらに大きく形成してある。各枝線4

5

は、金属配線の代りにポリシリコン配線によって形成してもよい。また、個々の接続部（スルーホールまたはコンタクト）の面積を変える代りにスルーホールまたはコンタクトの数を減らすことによって接続部全体としての面積を変えてもよい。

【0010】

【発明の効果】 以上のように第1の発明においては枝線の配線材料、第2の発明においては枝線の配線長、第3の発明においては幹線と枝線との接続部の面積を、それぞれ信号供給源から各回路部分までの距離に応じて変化

【図面の簡単な説明】

4

【図1】 この発明の一実施例を示す平面図である。

【図2】 この発明の他の実施例を示す平面図である。

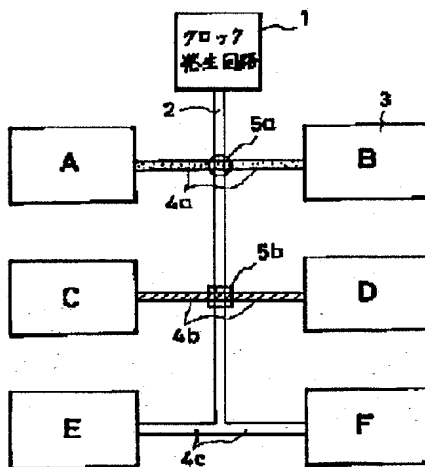
【図3】 この発明の他の実施例を示す平面図である。

【図4】 従来例を示す平面図である。

【符号の説明】

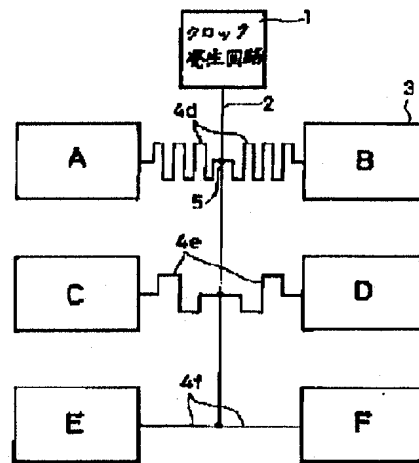
- 1 クロック発生回路
- 2 幹線
- 3 機能ブロック
- 4 枝線
- 4a 枝線
- 4f 枝線
- 5 接続部
- 5a 接続部
- 5e 接続部

【図1】



- 1: クロック発生回路
- 2: 幹線
- 3: 機能ブロック
- 4a~4c: 枝線
- 5a, 5b: 接続部

【図2】

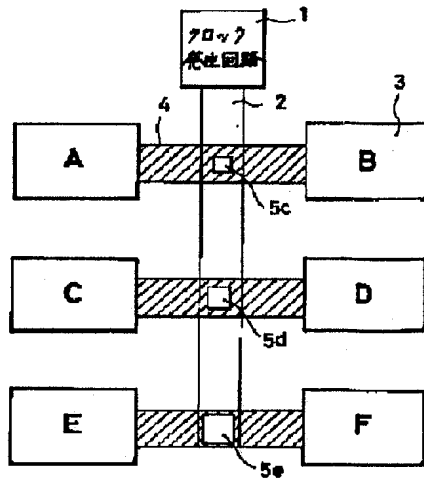


- 4d~4f: 枝線
- 5: 接続部

(4)

特開平4-221830

【図3】



4: 視線  
5c~5e: 接続部

【図4】

